

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7-72508

(43) 公開日 平成 7 年 (1995) 3 月 17 日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
	1/1343			
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数 4 F D (全 9 頁)				

(21) 出願番号 特願平 5-165965

(22) 出願日 平成 5 年 (1993) 6 月 14 日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿 2 丁目 6 番 1 号

(72) 発明者 紺屋 直弘

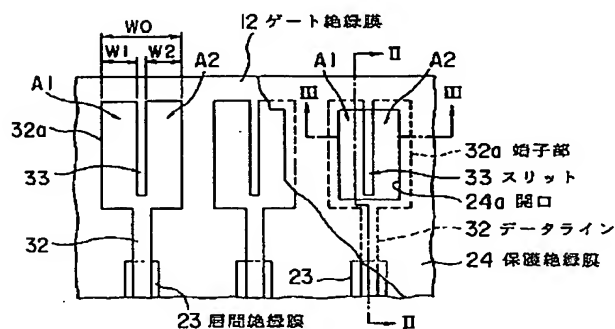
東京都八王子市石川町 2951 番地の 5 カシオ計算機株式会社八王子研究所内

(54) 【発明の名称】 薄膜トランジスタパネル

(57) 【要約】

【目的】 保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはない TFT パネルを提供する。

【構成】 下層ラインであるアドレスラインと上層ラインであるデータラインとのうち少なくとも上層のデータライン 32 の端子部 32 a にスリット 33 を設け、この端子部 32 a を、前記スリット 33 の端部の外側において局部的に互いに連続する複数の領域 A1, A2 に分割した。



【特許請求の範囲】

【請求項 1】絶縁性基板の上に、薄膜トランジスタと、前記基板上に配線されて前記薄膜トランジスタにゲート信号またはデータ信号を供給する下層ラインと、前記基板上に形成した絶縁膜の上に配線されて前記薄膜トランジスタにデータ信号またはゲート信号を供給する上層ラインとを設けるとともに、前記上層ラインを保護絶縁膜で覆い、この保護絶縁膜に、前記上層ラインの端子部をその周縁部を除いて露出させる開口を形成した薄膜トランジスタパネルにおいて、前記下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに連続する複数の領域に分割したことを特徴とする薄膜トランジスタパネル。

【請求項 2】保護絶縁膜は 220～250℃で加熱成膜された絶縁膜であり、上層ラインの端子部の膜厚は 200～350 nm、この端子部の各分割領域の幅は 50～40 μm 以下であることを特徴とする請求項 1 に記載の薄膜トランジスタパネル。

【請求項 3】上層ラインの端子部は、その中央に設けた端子長さ方向に沿うスリットにより分割され、この各分割領域が、前記スリットの端部の外側において互いに連続していることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタパネル。

【請求項 4】上層ラインの端子部は、その周縁に沿わせて枠状に設けた少なくとも一部に非連続部を有するスリットにより中央の広幅領域と周縁の狭幅領域とに分割され、この各分割領域が、前記スリットの非連続部において互いに連続していることを特徴とする請求項 1 または 2 に記載の薄膜トランジスタパネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタパネルに関するものである。

【0002】

【従来の技術】基板上に、薄膜トランジスタ (TFT) と、この薄膜トランジスタにゲート信号およびデータ信号を供給するアドレスラインおよびデータラインとを形成した薄膜トランジスタパネル (以下、TFT パネルという) は、例えばアクティブマトリックス液晶表示素子等に用いられている。

【0003】図 12 はアクティブマトリックス液晶表示素子に用いられている従来の TFT パネルの等価回路図の平面図であり、この TFT パネルは、ガラス等からなる透明な絶縁性基板 1 の上に、複数の薄膜トランジスタ

(以下、TFT と記す) 10 を行方向 (横方向) および列方向 (縦方向) に配列形成するとともに、各行の TFT 10 にそれぞれゲート信号を供給するアドレスライン 21 と、各列の TFT 10 にデータ信号を供給するデータライン 22 とを形成し、各 TFT 10 にそれぞれ対応させて画素電極 20 を形成した構成となっている。

【0004】図 13 は上記 TFT パネルの 1 つの TFT 部分の断面図であり、上記 TFT 10 は、基板 1 上に形成したゲート電極部 11 と、その上に形成した SiN (窒化シリコン) からなるゲート絶縁膜 12 と、このゲート絶縁膜 12 の上に前記ゲート電極 11 に対向させて形成した a-Si (アモルファスシリコン) からなる i 型半導体膜 13 と、この i 型半導体膜 13 の上に不純物をドーブした a-Si からなる n 型半導体膜 14 を介して形成したソース電極 15 およびドレイン電極 16 とで構成されている。なお、17 は i 型半導体膜 13 のチャンネル領域の上に設けられた SiN からなるブロッキング膜である。

【0005】この TFT 10 は逆スタガー構造と呼ばれるものであり、TFT 10 を逆スタガー構造とした TFT パネルでは、上記アドレスライン 21 を基板 1 上に配線し、このアドレスライン 21 に TFT 10 のゲート電極 11 を一体に形成している。なお、上記アドレスライン 21 とゲート電極 11 は、基板 1 面との段差を小さくするために、できるだけ薄く形成されており、また、このアドレスライン 21 とゲート電極 11 の表面は、上記ゲート絶縁膜 12 の絶縁耐圧を補うために、上記端子部 21a を除いて陽極酸化されている。図 13 において、a は前記陽極酸化により生成された酸化膜である。

【0006】また、上記 TFT 10 のゲート絶縁膜 12 は、基板 1 のほぼ全面にわたって形成されており、上記アドレスライン 21 は前記ゲート絶縁膜 12 で覆われている。そして、画素電極 (透明電極) 20 は、TFT 10 の側方に位置させてゲート絶縁膜 (透明膜) 12 の上に形成されており、この画素電極 20 は、その一端縁部において TFT 10 のソース電極 15 に接続されている。

【0007】さらに、上記 TFT 10 は、SiN からなる層間絶縁膜 23 によって覆われている。この層間絶縁膜 23 は、TFT 形成部からデータライン配線部にわたって形成されており、データライン 22 は前記層間絶縁膜 23 の上に配線され、この層間絶縁膜 23 に設けたコンタクト孔 23a において TFT 10 のドレイン電極 16 に接続されている。

【0008】そして、上記データライン 22 は、SiN からなる保護絶縁膜 24 によって覆われており、その端子部 22a は、前記保護絶縁膜 24 に開口を形成することによって露出されている。

【0009】図 14 は従来の TFT パネルにおけるデータライン端子部の平面図、図 15 は図 14 の XV-XV 線に沿う断面図であり、保護絶縁膜 24 に設ける端子部露出開口 24a は、データライン端子部 22a の周縁部からの腐食を防ぐために、この端子部 22a をその周縁部を除いて露出させる大きさに形成されている。

【0010】すなわち、端子部 22a の全体が露出している場合を考えると、端子部 22a の表面はこの端子部

22aに駆動回路を接続することによって覆われるため、端子部22aの表面側からの腐食は発生しないが、端子部22aの周縁部は剥き出しになっているため、長期間のうちに空気中の湿気によって端子部22aがその周縁部から腐食してゆき、この腐食の進行により、つい

には駆動回路との接続不良を発生する。
【0011】そこで、このTFTパネルでは、保護絶縁膜24に設ける端子部露出開口24aを上記のような大きさに形成して、端子部22aの周縁部を保護絶縁膜24で覆い、端子部22aの周縁部からの腐食を防いでいる。

【0012】なお、このTFTパネルでは、図14および図15に示したように、データライン端子部22aの形成部には上記層間絶縁膜23を形成せず、データライン22の端子部22aをゲート絶縁膜12の上に形成している。

【0013】また、上記保護絶縁膜24は、一般に、基板1のほぼ全面にわたって、各画素電極20に対応する部分にそれぞれ開口を形成した格子状パターンに形成されており、データライン22だけでなくTFT10およびアドレスライン21の形成部も覆っている。

【0014】そして、アドレスライン21の端子部21aは、図示しないが、上記ゲート絶縁膜12と前記保護絶縁膜24とに開口を設けることによって露出されている。なお、ゲート絶縁膜12と保護絶縁膜24に設ける端子部露出開口のいずれか一方または両方は、前記端子部21aの周縁部からの腐食を防ぐために、端子部21aをその周縁部を除いて露出させる大きさに形成されており、したがって、アドレスライン21の端子部21aも、その周縁部をゲート絶縁膜12と保護絶縁膜24との少なくとも一方で覆われている。

【0015】ところで、上記TFTパネルにおいては、アドレスライン21およびデータライン22のライン抵抗を小さくするために、これらライン21、22を、低抵抗のAl（アルミニウム）系金属、例えばAlにTi（チタン）またはTa（タンタル）等の高融点金属を微量（数重量%）含有させたAl系合金で形成されている。

【0016】また、上記アドレスライン21とデータライン22とのうち、下層のライン、つまり基板1上に配線するアドレスライン21は、上述したように、基板1面との段差を小さくするために薄く形成されるが、上層のライン、つまり層間絶縁膜23の上に配線するデータライン22は、ライン抵抗をより小さくするために、ある程度厚く形成されている。

【0017】

【発明が解決しようとする課題】しかし、上記従来のTFTパネルは、その製造工程の最後に形成される保護絶縁膜24の成膜時に、データライン22の端子部22aの表面にヒロックやホイスカ等の突起Pが図15に示し

たように発生するという問題をもっている。

【0018】これは、Al系の金属膜を数百℃に加熱するとその表面が荒れるためであり、保護絶縁膜24の成膜は、一般に、半導体膜の特性を変化させないために、プラズマCVD装置により基板温度220～250℃で行なわれているが、この保護絶縁膜24の成膜時に、Al系金属膜からなるデータライン22の端子部22aの表面に上記突起Pが発生する。

【0019】この突起Pの発生は、加熱によって金属膜に生ずる内部応力の緩和現象、つまり、金属膜に生じた内部応力が金属膜の弱い部分に集中してこの部分の表面が盛り上がる現象によると考えられており、この突起Pは主に金属膜のエッジ部付近に生じている。

【0020】なお、加熱によって金属膜に生ずる内部応力は、金属膜の膜厚および幅が大きいほど大きく、したがって上記突起Pは、データライン22のうち、幅が極く小さいライン部分には発生しないが、端子部22aはその幅Wが100～120μmと広いため、この端子部22aに突起Pが発生する。

【0021】そして、端子部22aに突起Pが発生すると、成膜された保護絶縁膜24が図15に示したように突起Pで突き破られて、この部分に欠陥が生じるため、長期間のうちに、端子部22aが保護絶縁膜24の欠陥部分から腐食してゆき、この孔食の進行により、ついには駆動回路との接続不良を発生する。

【0022】なお、ゲート絶縁膜12とブロッキング絶縁膜17および層間絶縁膜23は、上記保護絶縁膜24と同様に、プラズマCVD装置により上述した基板温度（220～250℃）で成膜されており、したがって、基板1上に配線されたアドレスライン21は、これら絶縁膜12、17、23および保護絶縁膜24の成膜時にその都度加熱されるが、このアドレスライン21の膜厚は、基板1面との段差を小さくするためにできるだけ薄くされており、従来のTFTパネルでは、アドレスライン21の端子部21aもライン部分と同じ厚さにしているため、アドレスライン21の端子部21aには上記突起Pは発生しない。

【0023】このため、従来のTFTパネルでは、アドレスライン21の端子部21aには上述した孔食は生じないが、データライン22の端子部22aの孔食が進行して駆動回路との接続不良を発生すると、TFTパネルが、印加するデータ信号に対し正常に動作しなくなつて、液晶表示素子の寿命が尽きてしまう。

【0024】なお、上記TFTパネルは、TFT10を逆スタガー構造としたものであるが、上述した突起の発生による端子部の孔食は、TFTを他の構造としているTFTパネルにおいても生じている。

【0025】すなわち、TFTの構造には、逆スタガー構造の他に、スタガー構造、コプラナー構造、逆コプラナー構造等があり、TFTをスタガー構造またはコプラ

ナー構造とした TFT パネルでは、TFT パネルにデータ信号を供給するデータラインを基板上に配線し、ゲート信号を供給するアドレスラインを基板上に形成した絶縁膜の上に配線している。また、TFT を逆コプラナー構造とした TFT パネルでは、上記 TFT パネルと同様に、アドレスラインを基板上に配線し、データラインを基板上に形成した絶縁膜の上に配線している。

【0026】そして、従来は、これらの TFT パネルにおいても、基板上に配線する下層ラインは基板面との段差を小さくするためにできるだけ薄くし、その端子部も同じ厚さにしているため、この下層ラインの端子部には上記突起は発生しないが、上層ラインはある程度厚く形成されているため、保護絶縁膜の成膜時に上層ラインの端子部に突起が発生し、この突起により保護絶縁膜に欠陥が生じて、上層ラインの端子部に孔食が発生する。

【0027】このため、従来から、保護絶縁膜の成膜時に上層ラインの端子部に突起を発生させないように、プラズマ CVD 装置による保護絶縁膜の成膜を、ほとんど加熱せずに行なうことが考えられているが、このようにして成膜した絶縁膜は、その膜質が粗で、保護絶縁膜としての信頼性に欠けるという問題をもっている。

【0028】本発明の目的は、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはない TFT パネルを提供することにある。

【0029】

【課題を解決するための手段】本発明は、絶縁性基板の上に、薄膜トランジスタと、前記基板上に配線されて前記薄膜トランジスタにゲート信号またはデータ信号を供給する下層ラインと、前記基板上に形成した絶縁膜の上に配線されて前記薄膜トランジスタにデータ信号またはゲート信号を供給する上層ラインとを設けるとともに、前記上層ラインを保護絶縁膜で覆い、この保護絶縁膜に、前記上層ラインの端子部をその周縁部を除いて露出させる開口を形成した薄膜トランジスタパネルにおいて、前記下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに連続する複数の領域に分割したことを特徴とするものである。

【0030】なお、良好な膜質の保護絶縁膜を得るには、この保護絶縁膜を 220～250℃で成膜することが望ましく、また、上層ラインのライン抵抗を小さくするには、この上層ラインおよびその端子部の膜厚を、200～350 nm の厚さにするのが望ましいが、その場合は、前記端子部の各分割領域の幅を 50～40 μm 以下にすればよい。

【0031】また、上層ラインの端子部の例は、その中央に設けた端子長さ方向に沿うスリットにより分割され、この各分割領域が前記スリットの端部の外側において互いに連続しているもの、あるいは、端子部の周縁に沿わせて枠状に設けた少なくとも一部に非連続部を有す

るスリットにより中央の広幅領域と周縁の狭幅領域とに分割され、この各分割領域が前記スリットの非連続部において互いに連続しているもの等でもよい。

【0032】

05 【作用】本発明の TFT パネルによれば、上層ラインの端子部を、局部的に互いに連続する複数の領域に分割しているため、この端子部の各分割領域の幅は小さく、したがって、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することはない。

【0033】

【実施例】以下、本発明をアクティブマトリックス液晶表示素子に用いられる TFT パネルに適用した実施例を図面を参照して説明する。

15 【0034】図 1～図 9 は本発明の第 1 の実施例を示しており、図 1 は TFT パネルのデータライン端子部の平面図、図 2 は図 1 の II-II 線に沿う断面図、図 3 は図 1 の III-III 線に沿う断面図である。また、図 4 は TFT パネルのアドレスライン端子部の平面図、図 5 は図 4 の V-V 線に沿う断面図、図 6 は図 4 の VI-VI 線に沿う断面図である。なお、この実施例の TFT パネルは、TFT を逆スタガー構造としたものであり、この TFT は図 13 に示したものと同一であるから、その説明は省略する。

25 【0035】まず、図 1～図 3 に示したデータライン端子部について説明する。なお、図 1～図 3 において、図 14 および図 15 に示した従来の TFT パネルと対応するものには同符号を付し、重複する説明を省略する。

30 【0036】この実施例の TFT パネルは、基板 1 上に形成したゲート絶縁膜 12 および層間絶縁膜 23 の上に配線するデータライン 32 の端子部 32a を、その中央に設けた端子長さ方向に沿うスリット 33 により 2 つの領域 A1、A2 に均等分割し、この各分割領域 A1、A2 を前記スリット 33 の端部の外側において互いに連続させた形状としたものである。

35 【0037】なお、この実施例では、上記スリット 33 を、その一端が端子部 32a の外端縁（ライン部につながる側の縁部に対して反対側の縁部）に開放させて、端子部 32a の長さより僅かに短い長さに形成し、上記各分割領域 A1、A2 を、端子部 32a のライン部側縁部において局部的に連続させている。

40 【0038】また、上記データライン 32 は、A1 に Ti または Ta 等の高融点金属を数重量%含有させた Al 系合金等の Al 系金属膜からなっており、そのライン部は極く小さい幅（20～40 μm 程度）に形成され、端子部 32a はその全幅 W0 が 100～120 μm の広幅部とされている。

45 【0039】そして、上記データライン 32 は、従来の TFT パネルと同様に、SiN 等からなる保護絶縁膜 24 で覆われており、データライン 32 の端子部 32a

は、前記保護絶縁膜 24 に開口 24a を設けることによって露出されている。この開口 24a は、前記端子部 32a をその周縁部を除いて露出させる大きさに形成されており、端子部 32a は、その周縁部を保護絶縁膜 24 で覆われて、周縁部からの腐食を防止されている。

【0040】この TFT パネルにおいては、上記データライン 32 の端子部 32a を、局部的に互いに連続する 2 つの領域 A1、A2 に分割しているため、この端子部 32a の各分割領域 A1、A2 の幅 W1、W2 は小さく、したがって、保護絶縁膜 24 の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に前記端子部 32a にヒロックやホイスカ等の突起が発生することはない。

【0041】上記端子部 32a の各分割領域 A1、A2 の幅 W1、W2 は、端子部 32a の膜厚と、保護絶縁膜 24 の成膜温度（基板温度）とに応じて、次のように選ばれよう。

【0042】すなわち、図 7～図 9 は、A1 に Ti または Ta を約 5 重量%含有させた Al 系合金からなる金属膜で形成したラインを加熱して、上記突起の発生を調べた結果を示している。

【0043】図 7 は、上記金属膜のライン幅を 50 μm とし、その膜厚を 350 nm としたときの、加熱温度と発生突起数との関係を示しており、この場合は、220 $^{\circ}\text{C}$ 以下の加熱温度では突起は発生せず、加熱温度が 220 $^{\circ}\text{C}$ を越えると突起が発生し、この突起の数が加熱温度を高くするのにともなって増加する。

【0044】図 8 は、加熱温度を 250 $^{\circ}\text{C}$ とし、金属膜のライン幅を 50 μm としたときの、金属膜の膜厚と発生突起数との関係を示しており、この場合は、膜厚が 200 nm 以下では突起は発生せず、膜厚が 200 nm を越えると突起が発生し、この突起の数が膜厚を厚くするのにともなって増加する。

【0045】図 9 は、加熱温度を 250 $^{\circ}\text{C}$ とし、金属膜の膜厚を 350 nm としたときの、金属膜のライン幅と発生突起数との関係を示しており、この場合は、ライン幅が 40 μm 以下では突起は発生せず、ライン幅が 40 μm を越えると突起が発生し、この突起の数がライン幅を大きくするのにともなって増加する。

【0046】一方、SiN 等からなる保護絶縁膜 24 をプラズマ CVD 装置により成膜する場合、良好な膜質に絶縁膜を得るには、この保護絶縁膜 24 を、220～250 $^{\circ}\text{C}$ で成膜することが望ましく、また、データライン 32 のライン抵抗を小さくするには、このデータライン 32 およびその端子部 32a の膜厚を、200～350 nm とある程度厚くするのが望ましい。

【0047】この条件を満足し、しかも保護絶縁膜 24 の成膜時に端子部 32a に突起を発生させないようにするには、上記端子部 32a の各分割領域 A1、A2 の幅 W1、W2 を 50～40 μm 以下にすればよい。

【0048】すなわち、例えばデータライン 32 およびその端子部 32a の膜厚を 350 nm とし、保護絶縁膜 24 を 220 $^{\circ}\text{C}$ で成膜する場合は、図 7 に示した加熱温度と突起数の関係のように、ライン幅が 50 μm 以下であれば突起は発生しないため、この場合は、上記端子部 32a の各分割領域 A1、A2 の幅 W1、W2 を 50 μm 以下にすればよい。

【0049】これは、データライン 32 およびその端子部 32a の膜厚を 200 nm とし、保護絶縁膜 24 を 250 $^{\circ}\text{C}$ で成膜する場合も同様であり、この場合も、図 8 に示した膜厚と突起数の関係のように、ライン幅が 50 μm 以下であれば突起は発生しないため、上記端子部 32a の各分割領域 A1、A2 の幅 W1、W2 を 50 μm 以下にすればよい。

【0050】また、データライン 32 およびその端子部 32a の膜厚を 350 nm とし、保護絶縁膜 24 を 250 $^{\circ}\text{C}$ で成膜する場合は、図 9 に示したライン幅と突起数の関係のように、ライン幅が 40 μm 以下であれば突起は発生しないから、この場合は、上記端子部 32a の各分割領域 A1、A2 の幅 W1、W2 を 40 μm 以下にすればよい。

【0051】なお、データライン 32 およびその端子部 32a の膜厚を 200 nm とし、保護絶縁膜 24 を 220 $^{\circ}\text{C}$ で成膜する場合は、端子部 32a の各分割領域 A1、A2 の幅 W1、W2 を 50 μm より若干大きくしても突起はほとんど発生しないが、この場合にも分割領域 A1、A2 の幅 W1、W2 を 50 μm 以下にすれば、より完全に突起の発生をなくすることができる。

【0052】そして、この TFT パネルによれば、保護絶縁膜 24 の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時にデータライン 32 の端子部 32a に突起が発生することはないため、従来の TFT パネルのように、成膜された保護絶縁膜突起で突き破られて欠陥を生じ、長期間のうちに保護絶縁膜の欠陥部分からの孔食によりデータラインの端子部が腐食して、駆動回路との接続不良を発生することはない。

【0053】次に、図 4～図 6 に示したアドレスライン端子部について説明すると、この実施例では、基板 1 上に配線するアドレスライン 31 の端子部 31a を、駆動回路との接続抵抗を小さくするために、アドレスライン 31 と一体に形成した下層端子膜 31a の上に、上記データライン 32 と同じ金属膜からなる上層端子膜 31b を積層した二層膜構造としている。

【0054】なお、前記上層端子膜 31b は、アドレスライン 31 を覆って形成したゲート絶縁膜 12 に上記下層端子膜 31a をその周縁部を除いて露出させる開口 12a を形成し、その後データライン用金属膜（200～350 nm の膜厚の Al 系金属膜）をスパッタ装置等により成膜して、この金属膜をフォトリソグラフィ法によりパターニングする方法で形成されたものであり、こ

の上層端子膜 31b は、ゲート絶縁膜 12 に設けた開口 12a に形成されるため、その外形は上記下層端子膜 31a の外形より僅かに小さくなっている。

【0055】また、上記アドレスライン 31 は、Al に Ti または Ta 等の高融点金属を数重量%含有させた Al 系合金等の Al 系金属膜からなっており、そのライン部は極く小さい幅（20～40 μm 程度）に形成され、下層端子膜 31a 部分はその全幅が 100～120 μm の広幅部とされている。なお、このアドレスライン 31 は、基板 1 面との段差を小さくするために、150 nm 程度の薄い膜厚に形成されており、またそのライン部の表面には陽極酸化膜 a が生成されている。

【0056】そして、上記下層端子膜 31a とその上に積層した上層端子膜 31b とからなるアドレスライン端子部 31A は、上記データライン 32 の端子部 32a と同様に、その中央に設けた端子長さ方向に沿うスリット 34 により、それぞれの幅が 50～40 μm 以下の 2 つの領域 B1、B2 に均等分割されている。

【0057】なお、上記スリット 34 は、上記データライン用金属膜をパターニングする際に同時に形成されたものであり、このスリット 34 は、下層端子膜 31a と上層端子膜 31b との両方に同じ形状に形成されている。

【0058】また、このアドレスライン 31 の端子部 31A は、保護絶縁膜 24 に開口 24b を設けることによって露出されている。この開口 24b は、前記端子部 31A をその周縁部を除いて露出させる大きさに形成されており、端子部 31A は、その周縁部を保護絶縁膜 24 で覆われて周縁部からの腐食を防止されている。

【0059】この TFT パネルにおいては、上記アドレスライン 31 の端子部 31A を、Al 系金属膜からなる下層端子膜 31a と上層端子膜 31b との二層膜構造としているが、保護絶縁膜 24 の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に前記端子部 32a にヒロックやボイスカ等の突起が発生することはない。

【0060】すなわち、上記端子部 31A の下層端子膜 31a は、アドレスライン 31 に一体に形成された、膜厚が 150 nm 程度の薄い膜であり、Al 系金属膜の膜厚がこの程度であれば、保護絶縁膜 24 を 220～250℃で加熱成膜しても突起が発生することはない。なお、この実施例では、この下層端子膜 31a もスリット 34 により 2 つの領域 B1、B2 に分割しているが、この下層端子膜 31a を複数の領域に分割しておかなくても、突起の発生はない。

【0061】また、上記下層端子膜 31a は、TFT パネルの製造過程において、ゲート絶縁膜 12、図 13 に示したブロッキング絶縁膜 17、層間絶縁膜 23 を成膜する際にもその成膜温度（220～250℃）に加熱されるが、これら絶縁膜の成膜時にも、下層端子膜 31a

に突起が発生することはない。

【0062】一方、上記端子部 31A の上層端子膜 31b は、データライン 32 と同じ膜厚（200～350 nm）の膜厚の Al 系金属膜であるが、この上層端子膜 31b は、スリット 34 により 2 つの領域 B1、B2 に分割されているため、その各分割領域 A1、A2 の幅は小さく（50～40 μm 以下）、したがって、上述したデータライン 32 の端子部 32a と同様に、保護絶縁膜 24 の成膜時に突起が発生することはない。

【0063】なお、上記実施例では、アドレスライン 31 の端子部 31A を、下層端子膜 31a の上に上層端子膜 31b を積層した二層膜構造としているが、この端子部 31A は、アドレスライン 31 と一体に形成した膜厚が 150 nm 程度の下層端子膜 31a だけからなる単層膜としてもよく、その場合は、アドレスライン 31 の端子部 31a を分割しなくても、この端子部 31a には突起は発生しないから、少なくともデータライン 32 の端子部 32a を分割すればよい。

【0064】また、上記実施例では、データライン 32 の端子部 32a を、その中央に設けた端子長さ方向に沿うスリット 33、34 により 2 つの領域 A1、A2 に分割しているが、この端子部 32a の分割形状は任意でよく、要は、端子部が、局部的に互いに連続する複数の領域に分割されていればよい。なお、この場合も、保護絶縁膜 24 は 220～250℃で加熱成膜し、上層ラインであるデータライン 32 は 200～350 nm の膜厚にするのが望ましいため、端子部の各分割領域の幅は 50～40 μm 以下にすればよい。

【0065】図 10 および図 11 は本発明の第 2 の実施例を示しており、図 10 は TFT パネルのデータライン端子部の平面図、図 11 は図 10 の XI-XI 線に沿う断面図である。なお、図 10 および図 11 において、図 1～図 3 に示したものと対応するものについては、図に同符号を付してその説明を省略する。

【0066】この実施例は、データライン 32 の端子部 32a を、その周縁に沿わせて枠状に設けた 4 箇所非連続部 36 を有するスリット 35 により中央の広幅領域 C1 と周縁の狭幅領域 C2 とに分割され、この各分割領域 C1、C2 が前記スリット 35 の各非連続部 36 において互いに連続している形状とし、前記中央の広幅領域 C1 の幅 W3 を 50～40 μm 以下、周縁の狭幅領域 C2 の幅 W4、W5 をそれぞれ 10～15 μm 程度にしたものである。

【0067】なお、この実施例では、端子部 32a の周縁に沿わせて枠状に設けるスリット 35 を、4 箇所非連続部 36 を有するものとしたが、このスリット 35 は、少なくとも一部に非連続部を有していればよい。

【0068】また、上記実施例の TFT パネルは、TFT を逆スタガー構造としたものであるが、本発明は、TFT を、スタガー構造、コプラナー構造、逆コプラナー

構造等としたTFTパネルにも適用できるもので、その場合も、基板上に配線する下層ライン（TFTをスタガー構造またはコプラナー構造としたTFTパネルではデータライン、TFTを逆コプラナー構造としたTFTパネルではアドレスライン）と、基板上に形成した絶縁膜の上に配線する上層ライン（TFTをスタガー構造またはコプラナー構造としたTFTパネルではアドレスライン、TFTを逆コプラナー構造としたTFTパネルではデータライン）とのうち、少なくとも、ある程度厚く形成される上層ラインの端子部を、局部的に互いに連続する複数の領域に分割すればよい。

【0069】

【発明の効果】本発明のTFTパネルは、その下層ラインと上層ラインとのうち少なくとも上層ラインの端子部を、局部的に互いに連続する複数の領域に分割したものであるから、保護絶縁膜の成膜を良好な膜質が得られる加熱成膜で行なっても、その成膜時に上層ラインの端子部に突起が発生することなく、したがって、前記突起により保護絶縁膜に欠陥が生じて上層ラインの端子部に孔食が発生するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すTFTパネルのデータライン端子部の平面図。

【図2】図1のII-II線に沿う断面図。

【図3】図1のIII-III線に沿う断面図。

【図4】TFTパネルのアドレスライン端子部の平面図。

【図5】図4のV-V線に沿う断面図。

【図6】図4のVI-VI線に沿う断面図。

【図7】金属膜のライン幅を50μmとし、その膜厚を350nmとしたときの、加熱温度と発生突起数との関

係を示す図。

【図8】加熱温度を250℃とし、金属膜のライン幅を50μmとしたときの、金属膜の膜厚と発生突起数との関係を示す図。

05 【図9】加熱温度を250℃とし、金属膜の膜厚を350nmとしたときの、金属膜のライン幅と発生突起数との関係を示す図。

【図10】本発明の第2の実施例を示すTFTパネルのデータライン端子部の平面図。

10 【図11】図10のXI-XI線に沿う断面図。

【図13】従来のTFTパネルの等価回路的平面図。

【図14】従来のTFTパネルにおけるデータライン端子部の平面図。

【図15】図14のXV-XV線に沿う断面図。

15 【符号の説明】

1…基板

12…ゲート絶縁膜

23…層間絶縁膜

24…保護絶縁膜

20 24a, 24b…開口

31…アドレスライン

a…陽極酸化膜

31A…端子部

31a…下層端子膜

25 31b…上層端子膜

32…データライン

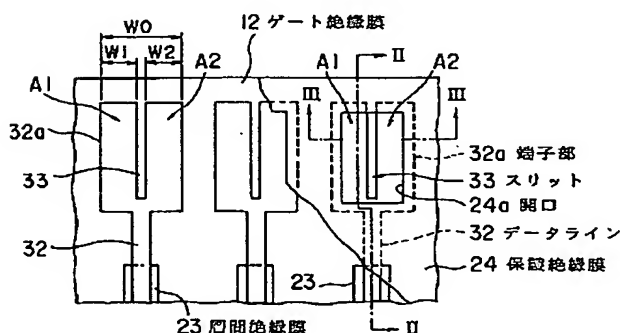
32a…端子部

33, 34, 35…スリット

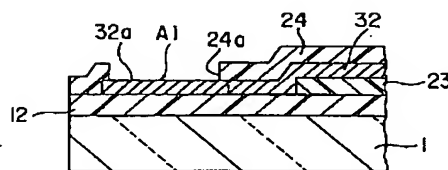
36…非連続部

30 A1, A2, B1, B2, C1, C2…分割領域

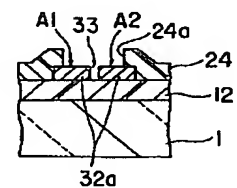
【図1】



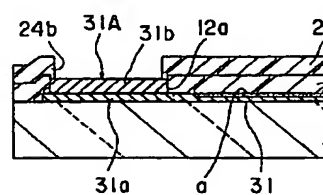
【図2】



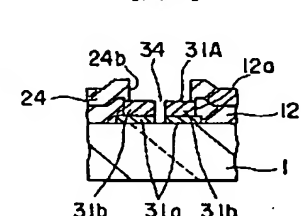
【図3】



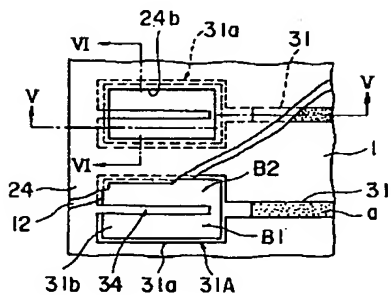
【図5】



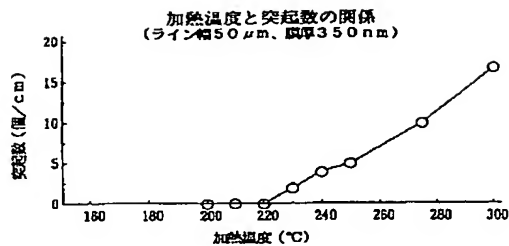
【図6】



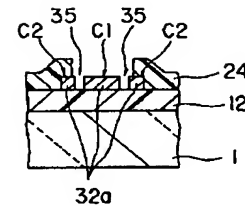
【図 4】



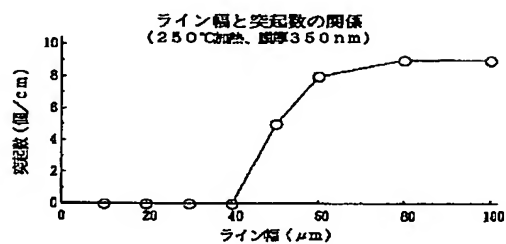
【図 7】



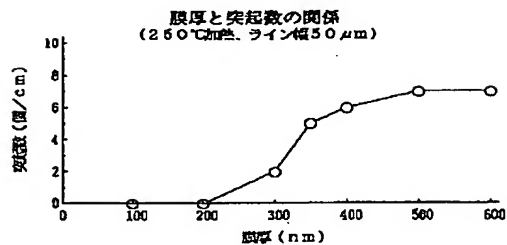
【図 11】



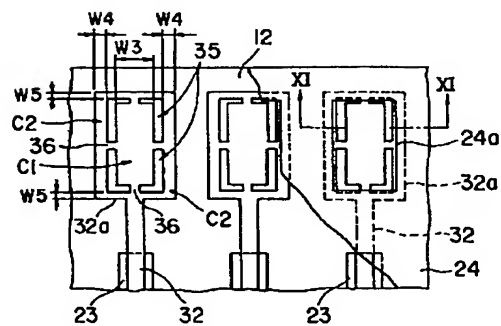
【図 9】



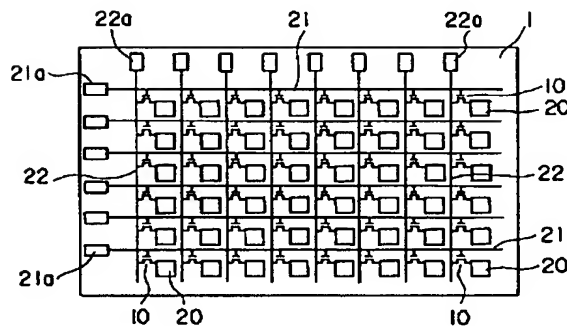
【図 8】



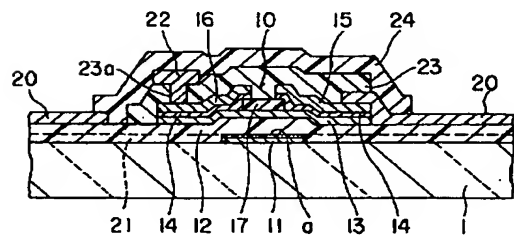
【図 10】



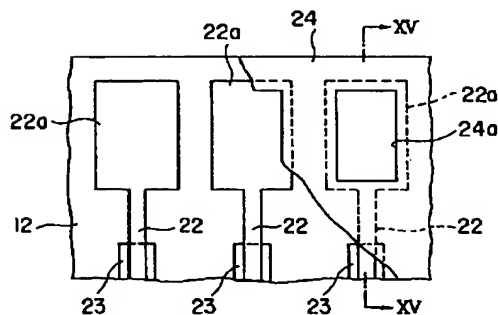
【図 12】



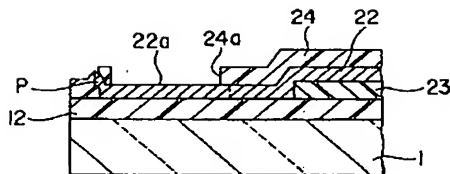
【図 13】



【図 14】



【図 15】



【手続補正書】

【提出日】平成 6 年 3 月 25 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す TFT パネルのデータライン端子部の平面図。

【図 2】図 1 の I I - I I 線に沿う断面図。

【図 3】図 1 の I I I - I I I 線に沿う断面図。

【図 4】TFT パネルのアドレスライン端子部の平面図。

【図 5】図 4 の V - V 線に沿う断面図。

【図 6】図 4 の V I - V I 線に沿う断面図。

【図 7】金属膜のライン幅を $50\mu\text{m}$ とし、その膜厚を 350nm としたときの、加熱温度と発生突起数との関係を示す図。

【図 8】加熱温度を 250°C とし、金属膜のライン幅を $50\mu\text{m}$ としたときの、金属膜の膜厚と発生突起数との関係を示す図。

【図 9】加熱温度を 250°C とし、金属膜の膜厚を 350nm としたときの、金属膜のライン幅と発生突起数との関係を示す図。

【図 10】本発明の第 2 の実施例を示す TFT パネルの

データライン端子部の平面図。

【図 11】図 10 の X I - X I 線に沿う断面図。

15 【図 12】従来の TFT パネルの等価回路的平面図。

【図 13】従来の TFT パネルの 1 つの TFT 部分の断面図。

【図 14】従来の TFT パネルにおけるデータライン端子部の平面図。

20 【図 15】図 14 の X V - X V 線に沿う断面図。

【符号の説明】

1…基板

12…ゲート絶縁膜

23…層間絶縁膜

25 24…保護絶縁膜

24a, 24b…開口

31…アドレスライン

a…陽極酸化膜

31A…端子部

30 31a…下層端子膜

31b…上層端子膜

32…データライン

32a…端子部

33, 34, 35…スリット

35 36…非連続部

A1, A2, B1, B2, C1, C2…分割領域

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Hei-7-72508

(43) Date of Publication of Application: March 17, 1995

(51) Int. Cl.⁶

G0 2F 1/136

1/1343

H0 1L 29/786

Identification Number

500

Intraoffice Reference Number

9056-4M

FI

H0 1L 29/ 78

Technique Indication Place

311 A

Request for Examination: not made

Number of Claims: 4 FD (9 pages in total)

(21) Application Number: Hei-5-165965

(22) Application Date: June 14, 1993

(71) Applicant: 000001443

Casio Computer Co., Ltd.

6-1, Nishi Shinjuku 2-chome, Shinjuku-ku, Tokyo

(72) Inventor: Naohiro Konya

c/o Hachioji Laboratory, Casio Computer Co., Ltd.

2951-5, Ishikawa-cho, Hachioji City, Tokyo

(54) [Title of the Invention] THIN FILM TRANSISTOR PANEL

(57) [Abstract]

[Purpose] To provide a TFT panel in which, even if a formation of a protection insulation film is performed by a heated film formation capable of obtaining an excellent film quality, no protrusion is generated in a terminal part of an upper layer line when forming the protection insulation film.

[Constitution] A slit 33 is provided in at least a terminal part 32a of an upper layer data line 32 among an address line that is a lower layer line and a data line that is the upper layer line, and this terminal part 32a is divided into plural regions A1, A2 continued locally mutually in an outside of an end part of the slit 33.

[Claims]

[Claim 1] A thin film transistor panel in which there are provided, on an insulating substrate, a thin film transistor, a lower layer line wired on the substrate and supplying a gate signal or a data signal to the thin film transistor and an upper layer line wired on an insulation film formed on the substrate and supplying the data signal or the gate signal to the thin film transistor, and the upper layer line is coated by a protection insulation film and an opening for exposing a terminal part of the upper layer line except its peripheral edge part is formed in the protection insulation film,

characterized in that, among the lower layer line and the upper layer line, at least the terminal part of the upper layer line is divided into plural regions continued locally mutually.

[Claim 2] A thin film transistor panel set forth in claim 1, characterized in that the protection insulation film is an insulation film formed by being heated at 220 - 250°C, a film thickness of the terminal part of the upper layer line is 200 - 350 nm, and a width of each divided region of the terminal part is 50 - 40 μm or less.

[Claim 3] A thin film transistor panel set forth in claim 1 or 2, characterized in that the terminal part of the upper layer line is divided by a slit in a terminal length direction provided in its center, and the divided regions are mutually

continued in an outside of an end part of the slit.

[Claim 4] A thin film transistor panel set forth in claim 1 or 2, characterized in that the terminal part of the upper layer line is divided into a central wide width region and a peripheral edge narrow width region by a slit, having a discontinuous part in at least one part, provided in a frame-like form along its peripheral edge, and the divided regions are mutually continued in the discontinuous part of the slit.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application] The present invention relates to a thin film transistor panel.

[0002]

[Prior Art] A thin film transistor panel (hereunder, referred to as TFT panel) in which a thin film transistor (TFT), and an address line and a data line, which supply a gate signal and a data signal to the thin film transistor, are formed on a substrate is used in, for example, an active matrix liquid crystal display element and so forth.

[0003] Fig.12 is an equivalent circuit-like plan view of a conventional TFT panel used in the active matrix liquid crystal display element. This TFT panel becomes a constitution in which plural thin film transistors (hereunder, recited as TFT) 10 are arranged/formed in a row direction (lateral direction)

and a column direction (longitudinal direction) on a transparent insulating substrate 1 consisting of a glass and the like, an address line 21 supplying a gate signal to the TFT 10 in each row and a data line 22 supplying a data signal to the TFT 10 in each column, respectively, are formed, and a pixel electrode 20 is formed while respectively corresponding to each TFT 10.

[0004] Fig.13 is sectional view of one TFT portion in the TFT panel. The TFT 10 comprises a gate electrode part 11 formed on the substrate 1, a gate insulation film 12 consisting of SiN (silicon nitride) formed on the gate electrode part, an i-type semiconductor film 13 consisting of a-silicon (amorphous silicon) formed on the gate insulation film 12 while being opposed to the gate electrode 11, and a source electrode 15 and a drain electrode 16, which are formed on the i-type semiconductor film 13 through an n-type semiconductor film 14 consisting of a-silicon doped with impurity. Incidentally, 17 is a blocking film consisting of SiN provided on a channel region of the i-type semiconductor film 13.

[0005] This TFT 10 is one referred to as reverse stagger structure. In the TFT panel in which the TFT 10 is made the reverse stagger structure, the address line 21 is wired on the substrate 1, and the gate electrode 11 of the TFT 10 is formed monolithically with the address line 21. Incidentally, the address line 21 and the gate electrode 11 are formed as thin

as possible in order to reduce a step difference with respect to the substrate 1 face. Further, surfaces of the address line 21 and the gate electrode 11 are anode-oxidized except the terminal part 21a in order to supplement a dielectric voltage of the gate insulation film 12. In Fig.13, a is an oxide film formed by the anodic oxidation.

[0006] Further, the gate insulation film 12 of the TFT 10 is formed approximately over the whole face of the substrate 1, and the address line 21 is coated by the gate insulation film 12. And, the pixel electrode (transparent electrode) 20 is formed on the gate insulation film (transparent film) 12 while being located aside the TFT 10, and the pixel electrode 20 is connected in its one end edge part to the source electrode 15 of the TFT 10.

[0007] Additionally, the TFT 10 is coated by an interlayer insulation film 23 consisting of SiN. The interlayer insulation film 23 is formed from a TFT formation part to a data line wiring part, and the data line 22 is wired on the interlayer insulation film 23 and connected to the drain electrode 16 of the TFT 10 in a contact hole 23a provided in the interlayer insulation film 23.

[0008] And, the data line 22 is coated by a protection insulation film 24 consisting of SiN, and its terminal part 22a is exposed by forming an opening in the protection insulation film 24.

[0009] Fig.14 is a plan view of a data line terminal part in the conventional TFT panel, and Fig.15 a sectional view along a XV - XV line in Fig.14. A terminal part exposure opening 24a provided in the protection insulation film 24 is formed in a size exposing the terminal part 22a except its peripheral edge part in order to prevent a corrosion from the peripheral edge part of the data line terminal part 22a.

[0010] That is, in considering a case where the whole of the terminal part 22a is exposed, since a surface of the terminal part 22a is coated by the fact that a drive circuit is connected to the terminal part 22a, the corrosion from a surface side of the terminal part 22a does not occur. However, since the peripheral edge part of the terminal part 22a is exposed, the terminal part 22a is corroded from its peripheral edge part by a humidity in the air during a long period of time, and eventually there arises a defect in connection with the drive circuit by a progress of the corrosion.

[0011] Whereupon, in this TFT panel, the terminal part exposure opening 24a provided in the protection insulation film 24 is formed in such a size as mentioned above to thereby coat the peripheral edge part of the terminal part 22a by the protection insulation film 24, and thus the corrosion from the peripheral edge part of the terminal part 22a is prevented.

[0012] Incidentally, as shown in Fig.14 and Fig.15, in this TFT panel, the interlayer insulation film 23 is not formed in

a part where the data line terminal part 22a is formed, and the terminal part 22a of the data line 22 is formed on the gate insulation film 12.

[0013] Further, the protection insulation film 24 is generally formed in a lattice-like pattern in which an opening is formed respectively in a portion corresponding to each pixel electrode 20 approximately over the whole face of the substrate 1, so that it coats not only the data line 22 but also parts where the TFT 10 and the address line 21 are formed.

[0014] And, the terminal part 21a of the address line 21 is exposed by providing openings in the gate insulation film 12 and the protection insulation film 24 although not shown in the drawing. Incidentally, one or both of the terminal part exposure openings provided in the gate insulation film 12 and the protection insulation film 24 is/are formed in a size exposing the terminal part 21a except its peripheral edge part in order to prevent the corrosion from the peripheral edge part of the terminal part 21a and, therefore, also the terminal part 21a of the address line 21 is coated in its peripheral edge part by at least one of the gate insulation film 12 and the protection insulation film 24.

[0015] By the way, in the above TFT panel, in order to reduce line resistances of the address line 21 and the data line 22, the lines 21, 22 are formed by a low resistance Al (aluminum) system alloy, for example, Al system alloy in which a very small

amount (several weight %) of high melting point metal such as Ti (titanium) or Ta (tantalum) is contained in Al.

[0016] Further, among the address line 21 and the data line 22, a lower layer line, i.e., the address line 21 wired on the substrate 1 is thinly formed in order to reduce the step difference with respect to the substrate 1 face as mentioned above, but an upper layer line, i.e., the data line 22 wired on the interlayer insulation film 23, is formed thickly in some extent in order to more reduce the line resistance.

[0017]

[Problems that the Invention is to Solve] However, the above conventional TFT panel has a problem that, when forming the protection insulation film 24 formed finally in its manufacturing process, a protrusion P such as hillock or whisker is formed on a surface of the terminal part 22a of the data line 22 as shown in Fig.15.

[0018] This is because, if the Al system metal film is heated to several hundreds °C, its surface is roughened and, although a formation of the protection insulation film 24 is generally performed by a plasma CVD apparatus at a substrate temperature 220 - 250°C in order not to change characteristics of the semiconductor film, the above protrusion P is generated on the surface of the terminal part 22a of the data line 22 consisting of the Al system metal film when forming the protection insulation film 24.

[0019] It is considered that the generation of this protrusion P is due to a relief phenomenon of internal stress generated in the metal film by the heating, i.e., phenomenon that the internal stress generated in the metal film is concentrated to a weak portion of the metal film and thus a surface of this portion swells, and this protrusion P is generated mainly in a vicinity of an edge part of the metal film.

[0020] Incidentally, the larger a thickness and a width of the metal film are, the larger the internal stress generated by the heating is and, therefore, the protrusion P is not generated in a line portion whose width is very narrow within the data line 22, but the protrusion P is generated in the terminal part 22a because a width W of the terminal part 22a is as wide as 100 - 120 μm .

[0021] And, if the protrusion P is generated in the terminal part 22a, since the protection insulation film 24 formed is broken by the protrusion P as shown in Fig.15 and thus a defect occurs in this portion, the terminal part 22a is corroded from the defect portion of the protection insulation film 24 during the long period of time, so that eventually there arises the defect in connection with the drive circuit by the progress of this pitting corrosion.

[0022] Incidentally, the gate insulation film 12, the blocking insulation film 17 and the interlayer insulation film 23 are formed by the plasma CVD apparatus at the above-mentioned

substrate temperature (220 - 250°C) similarly to the protection insulation film 24. Accordingly, the address line 21 wired on the substrate 1 is heated each time these insulation films 12, 17, 23 and the protection insulation film 24 are formed. However, since a film thickness of the address line 21 is made as thin as possible in order to reduce the step difference with respect to the substrate 1 face and, in the conventional TFT panel, also the terminal part 21a of the address line 21 is made the same thickness as the line portion, the above protrusion P is not generated in the terminal part 21a of the address line 21.

[0023] For this reason, in the conventional TFT panel, the above-mentioned pitting corrosion does not occur in the terminal part 21a of the address line 21. However, if the pitting corrosion of the terminal part 22a of the data line 22 proceeds and there arises the defect in connection with the drive circuit, the TFT panel becomes so as not to normally operate with respect to the data signal applied, and thus a life of the liquid crystal display element expires.

[0024] Incidentally, although the above TFT panel is one in which the TFT 10 is made the reverse stagger structure, the pitting corrosion of the terminal part by the generation of the above-mentioned protrusion occurs also in a TFT panel in which the TFT is made other structure.

[0025] That is, as to the structure of the TFT, besides the

reverse stagger structure, there are a stagger structure, a coplanar structure, a reverse coplanar structure, and the like. In a TFT panel in which the TFT is made the stagger structure or the coplanar structure, the data line supplying the data signal to the TFT panel is wired on the substrate, and the address line supplying the gate signal is wired on the insulation film formed on the substrate. Further, in a TFT panel in which the TFT is made the reverse coplanar structure, similarly to the above TFT panel, the address line is wired on the substrate, and the data line is wired on the insulation film formed on the substrate.

[0026] And, hitherto, also in these TFT panels, since the lower layer line wired on the substrate is made as thin as possible in order to reduce the step difference with respect to the substrate face and also its terminal part is made the same thickness, the above protrusion is not generated in this terminal part of the lower layer line. However, since the upper layer line is formed thickly in some extent, the protrusion is generated in the terminal part of the upper layer line when forming the protection insulation film and a defect is generated in the protection insulation film by this protrusion, so that the pitting corrosion is generated in the terminal part of the upper layer line.

[0027] For this reason, from old times, it has been considered to perform the formation of the protection insulation film by

the plasma CVD apparatus scarcely being heated so as not to generate the protrusion in the terminal part of the upper layer line when forming the protection insulation film. However, the insulation film formed in this manner is coarse in its film quality, and thus has a problem of lacking a reliability as the protection insulation film.

[0028] An object of the invention is to provide a TFT panel in which, even if the formation of the protection insulation film is performed by a heated film formation capable of obtaining an excellent film quality, no protrusion is generated in the terminal part of the upper layer line when forming the protection insulation film.

[0029]

[Means for Solving the Problems] The invention is a thin film transistor panel in which there are provided, on an insulating substrate, a thin film transistor, a lower layer line wired on the substrate and supplying a gate signal or a data signal to the thin film transistor and an upper layer line wired on an insulation film formed on the substrate and supplying the data signal or the gate signal to the thin film transistor, and the upper layer line is coated by a protection insulation film and an opening for exposing a terminal part of the upper layer line except its peripheral edge part is formed in the protection insulation film, characterized in that, among the lower layer line and the upper layer line, at least the terminal

part of the upper layer line is divided into plural regions continued locally mutually.

[0030] Incidentally, in order to obtain the protection insulation film whose quality is excellent, it is desirable to form the protection insulation film at 220 - 250°C. Further, in order to reduce the line resistance of the upper layer line, although it is desirable that the thicknesses of the upper layer line and its terminal part are made a thickness of 200 - 350 nm, in this case it suffices if a width of each divided region of the terminal part is made 50 - 40 μm or less.

[0031] Further, examples of the terminal part of the upper layer line may be one in which it is divided by a slit in a terminal length direction provided in its center and the divided regions are mutually continued in an outside of an end part of the slit, or one in which it is divided into a central wide width region and a peripheral edge narrow width region by a slit, having a discontinuous part in at least one part, provided in a frame-like form along a peripheral edge of the terminal part and the divided regions are mutually continued in the discontinuous part of the slit, and so forth.

[0032]

[Action] According to the TFT panel of the invention, since the terminal part of the upper layer line is divided into the plural regions continued locally mutually, the width of each divided region is narrow and, therefore, even if the formation

of the protection insulation film is performed by the heated film formation capable of obtaining the excellent film quality, no protrusion is generated in the terminal part of the upper layer line when forming the protection insulation film.

[0033]

[Embodiments] Hereunder, embodiments in each of which the invention has been applied to a TFT panel used in an active matrix liquid crystal display element are explained by referring to the drawings.

[0034] Fig.1 - Fig.9 show a 1st embodiment of the invention. Fig.1 is a plan view of a data line terminal part of a TFT panel, Fig.2 a sectional view along a II - II line in Fig.1, and Fig.3 a sectional view along a III - III line in Fig.1. Further, Fig.4 is a plan view of an address line terminal part of the TFT panel, Fig.5 a sectional view along a V - V line in Fig.4, and Fig.6 a sectional view along a VI - VI line in Fig.4. Incidentally, since the TFT panel of this embodiment is one in which a TFT has been made the reverse stagger structure and this TFT is the same as one shown in Fig.13, its explanation is omitted.

[0035] First, it is explained about the data line terminal part shown in Fig.1 - Fig.3. Incidentally, in Fig.1 - Fig.3, the same reference numeral is applied to one corresponding to the conventional TFT panel shown in Fig.14 and Fig.15, and a duplicate explanation is omitted.

[0036] The TFT panel of this embodiment is one in which a terminal part 32a of a data line 32 wired on the gate insulation film 12 and the interlayer insulation film 23, which have been formed on the substrate 1, is equally divided into two regions A1, A2 by a slit 33 provided in its center along a terminal length direction, and the divided regions A1, A2 are made into a shape of being mutually continued in an outside of an end part of the slit 33.

[0037] Incidentally, in this embodiment, the slit 33 is formed in a length slightly shorter than a length of the terminal part 32a with its one end being opened in an outer end edge (edge part in a side opposite to an edge part in a side connected to a line part) of the terminal part 32a, and the divided regions A1, A2 are locally continued in the line part side edge part of the terminal part 32a.

[0038] Further, the data line 32 consists of an Al system metal film such as Al system alloy in which a high melting point metal such as Ti or Ta is contained in Al by several weight %, its line part is formed in a very narrow width (about 20 - 40 μm), and the terminal part 32a is made a wide width part of 100 - 120 μm in its total width W0.

[0039] And, the data line 32 is coated by the protection insulation film 24 consisting of SiN and the like similarly to the conventional TFT panel, and the terminal part 32a of the data line 32 is exposed by providing the opening 24a in

the protection insulation film 24. This opening 24a is formed in a size exposing the terminal part 32a except its peripheral edge part, and the terminal part 32a is coated in its peripheral part by the protection insulation film 24, thereby preventing the corrosion from the peripheral edge part.

[0040] In this TFT panel, since the terminal part 32a of the data line 32 is divided into the two regions A1, A2 continued locally mutually, widths W1, W2 of the divided regions A1, A2 of the terminal part 32a are narrow and, therefore, even if the formation of the protection insulation film 24 is performed by the heated film formation capable of obtaining the excellent film quality, no protrusion such as hillock and whisker is generated in the terminal part 32a when forming the protection insulation film.

[0041] Each of the widths W1, W2 of each of the divided regions A1, A2 of the above terminal part 32a may be selected as follows depending on a film thickness of the terminal part 23a and a film formation temperature (substrate temperature) of the protection insulation film 24.

[0042] That is, Fig.7 - Fig.9 show results of the generation of the above-mentioned protrusion investigated by heating the line formed by a metal film consisting of an Al system alloy in which Ti or Ta is contained in Al by about 5 weight %.

[0043] Fig.7 shows a relation between a heating temperature and a generated protrusion number when a line width of the above

metal film has been made 50 μm and its film thickness has been made 350 nm. In this case, no protrusion is generated at a heating temperature of 220°C or lower and, if the heating temperature exceeds 220°C, the protrusions are generated and the number of the protrusions increases as the heating temperature is raised.

[0044] Fig.8 shows a relation between the film thickness of the metal film and the generated protrusion number when the heating temperature has been made 250°C and the line width of the metal film has been made 50 μm . In this case, no protrusion is generated if the film thickness is 200 nm or less and, if the film thickness exceeds 200 nm, the protrusions are generated and the number of the protrusions increases as the film thickness is thickened.

[0045] Fig.9 shows a relation between the line width of the metal film and the generated protrusion number when the heating temperature has been made 250°C and the film thickness of the metal film has been made 350 nm. In this case, no protrusion is generated if the line width is 40 μm or less and, if the line width exceeds 40 μm , the protrusions are generated and the number of the protrusions increases as the line width is increased.

[0046] On the other hand, in a case where the protection insulation film 24 consisting of SiN and the like is formed by the plasma CVD apparatus, it is desirable to form the

protection insulation film 24 at 220 - 250 °C in order to obtain the insulation film of good quality. Further, in order to reduce the line resistance of the data line 32, it is desirable to thicken the film thicknesses of the data line 32 and its terminal part 32a in some extent such as 200 - 350 nm.

[0047] In order to satisfy these conditions and moreover make such that no protrusion is generated in the terminal part 32a when forming the protection insulation film 24, it suffices if each of the widths W1, W2 of each of the divided regions A1, A2 of the terminal part 32a is made narrower than 50 - 40 μm .

[0048] That is, in a case where, for example, the film thicknesses of the data line 32 and its terminal part 32a are made 350 nm and the protection insulation film 24 is formed at 220°C, since no protrusion is generated if the line width is 50 μm or less like the relation between the heating temperature and the protrusion number shown in Fig.7, it suffices if each of the widths W1, W2 of each of the divided regions A1, A2 of the above terminal part 32a is made 50 μm or less in this case.

[0049] This is similar in a case where the film thicknesses of the data line 32 and its terminal part 32a are made 200 nm and the protection insulation film 24 is formed at 250 °C. Also in this case, since no protrusion is generated if the line width is 50 μm or less like the relation between the film thickness

and the protrusion number shown in Fig.8, it suffices if each of the widths W1, W2 of each of the divided regions A1, A2 of the above terminal part 32a is made 50 μm or less.

[0050] Further, in a case where the film thicknesses of the data line 32 and its terminal part 32a are made 350 nm and the protection insulation film 24 is formed at 250 °C, since no protrusion is generated if the line width is 40 μm or less like the relation between the line width and the protrusion number shown in Fig.9, it suffices if each of the widths W1, W2 of each of the divided regions A1, A2 of the above terminal part 32a is made 40 μm or less in this case.

[0051] Incidentally, in a case where the film thicknesses of the data line 32 and its terminal part 32a are made 200 nm and the protection insulation film 24 is formed at 220 °C, although the protrusion is scarcely generated even if each of the widths W1, W2 of each of the divided regions A1, A2 of the terminal part 32a is made somewhat larger than 50 μm , it is possible to more completely nullify the generation of the protrusion if each of the widths W1, W2 of each of the divided regions A1, A2 is made 50 μm or less also in this case.

[0052] And, according to this TFT panel, even if the formation of the protection insulation film 24 is performed by the heated film formation capable of obtaining the excellent film quality, since no protrusion is generated in the terminal part 32a of the data line 32 when forming the protection insulation film,

there is no fact that, like the conventional TFT panel, the protection insulation film formed is broken by the protrusion to generate the defect and the terminal part of the data line is corroded by the pitting corrosion from the defect portion of the protection insulation film during a long period of time, so that there arises the defect in connection with the drive circuit.

[0053] Next, it is explained about an address line terminal part shown in Fig.4 - Fig.6. In this embodiment, in order to reduce a resistance in connection with the drive circuit, a terminal part 31A of an address line 31 wired on the substrate 1 is made a double-layer film structure in which an upper layer terminal film 31b consisting of the same metal film as the aforesaid data line 32 is laminated on a lower layer terminal film 31a formed monolithically with the address line 31.

[0054] Incidentally, the above upper layer terminal film 31b is one formed by a method of forming an opening 12a for exposing the lower layer terminal film 31a except its peripheral edge part in the gate insulation film 12 formed while coating the address line 31, thereafter forming a metal film (Al system metal film whose thickness is 200 - 350 nm) for the data line by a sputter apparatus and the like, and patterning this metal film by a photolithography method. Since this upper layer terminal film 31b is formed in the opening 12a provided in the gate insulation film 12, its external shape is made slightly

smaller than an external shape of the above lower layer terminal film 31a.

[0055] Further, the address line 31 consists of the Al system metal film such as Al system alloy in which the high melting point metal such as Ti or Ta is contained in Al by several weight %, its line part is formed in a very narrow width (about 20 - 40 μm), and the lower layer terminal film 31a part is made a wide width part of 100 - 120 μm in its overall width. Incidentally, the address line 31 is formed in a thin film thickness of about 150 nm in order to reduce the step difference with respect to the substrate 1 face, and an anodic oxidation film a is formed on a surface of its line part.

[0056] And, the address line terminal part 31A consisting of the lower layer terminal film 31a and the upper layer terminal film 31b laminated thereon is equally divided, similarly to the terminal part 32a of the data line 32, into two regions B1, B2 whose widths are respectively narrower than 50 - 40 μm by a slit 34 provided in its center along a terminal length direction.

[0057] Incidentally, the slit 34 is one formed simultaneously when patterning the metal film for the data line, and this slit 34 is formed in both of the lower layer terminal film 31a and the upper layer terminal film 31b in the same shape.

[0058] Further, the terminal part 31A of the address line 31 is exposed by providing an opening 24b in the protection

insulation film 24. This opening 24b is formed in a size exposing the terminal part 31A except its peripheral edge part, and the terminal part 31A is coated in its peripheral edge part by the protection insulation film 24 and thus prevented from being corroded from the peripheral edge part.

[0059] In this TFT panel, although the terminal part 31A of the address line 31 is made the double-layer film structure comprising the lower layer terminal film 31a and the upper layer terminal film 31b each of which consists of the Al system metal film, even if the formation of the protection insulation film 24 is performed by the heated film formation capable of obtaining the excellent film quality, no protrusion such as hillock and whisker is generated in the terminal part 32a when forming the protection insulation film.

[0060] That is, the lower layer terminal film 31a of the terminal part 31A is a thin film, whose thickness is about 150 nm, monolithically formed in the address line 31 and, if the film thickness of the Al system metal film is this degree, no protrusion is generated even if the protection insulation film 24 is formed by being heated at 220 - 250°C. Incidentally, in this embodiment, although also the lower layer terminal film 31a is divided into the two regions B1, B2 by the slit 34, even if this lower layer terminal layer 31a is not divided into the plural regions, no protrusion is generated.

[0061] Further, in a manufacturing process of the TFT panel,

although the lower layer terminal film 31a is heated to the film formation temperature (220 - 250°C) also when forming the gate insulation film 12, and the blocking insulation film 17 and the interlayer insulation film 23 which are shown in Fig.13, no protrusion is generated in the lower layer terminal film 31a also when forming these insulation films.

[0062] On the other hand, the upper layer terminal film 31b of the terminal part 31A is the Al system metal film whose thickness (200 - 350 nm) is the same as the data line 32. However, since the upper layer terminal film 31b is divided into the two regions B1, B2 by the slit 34, the width of each of the divided regions A1, A2 is narrow (50 - 40 μ m or less) and, therefore, no protrusion is generated when forming the protection insulation film 24 similarly to the above-mentioned terminal part 32a of the data line 32.

[0063] Incidentally, in the above embodiment, although the terminal part 31A of the address line 31 is made the double-layer film structure in which the upper layer terminal film 31b is laminated on the lower layer terminal film 31a, this terminal part 31A may be made a single-layer film consisting only of the lower layer terminal film 31a, whose thickness is about 150 nm, formed monolithically with the address line 31. In this case, even if the terminal part 31a of the address line 31 is not divided, since no protrusion is generated in this terminal part 31a, it suffices if at least

the terminal part 32a of the data line 32 is divided.

[0064] Further, in the above embodiment, although the terminal part 32a of a data line 32 is divided into the two regions A1, A2 by the slit 33, 34 provided in its center along the terminal length direction, a divided shape of this terminal part 32a may be optional and, in short, it suffices if the terminal part is divided into plural regions continued locally mutually. Incidentally, also in this case, since it is desirable that the protection insulation film 24 is formed while being heated at 220 - 250°C and the data line 32 that is the upper layer line is made the film thickness of 200 - 350 nm, it suffices if the width of each of the divided regions of the terminal part is made 50 - 40 μm or less.

[0065] Fig. 10 and Fig.11 show a 2nd embodiment of the invention. Fig. 10 is a plan view of the data line terminal part of the TFT panel, and Fig.11 a sectional view along an XI - XI line in Fig.10. Incidentally, also in Fig. 10 and Fig.11, as to one corresponding to one shown in Fig.1 - Fig.3, the same reference numeral is applied in the drawings and its explanation is omitted.

[0066] This embodiment is one in which the terminal part 32a of the data line 32 is divided into a central wide width region C1 and a peripheral edge narrow width region C2 by a slit 35, having discontinuous parts 36 in four places, provided in a frame-like form along its peripheral edge, the divided regions

C1, C2 are made shapes mutually continued in each of the discontinuous parts 36 of the slit 35, a width W3 of the central wide width region C1 is made 50 - 40 μm or less, and each of widths W4, W5 of the peripheral edge narrow width region C2 respectively about 10 - 15 μm .

[0067] Incidentally, in this embodiment, the slit 35 provided in the frame-like form along the peripheral edge of the terminal part 32a is made one having the discontinuous parts 36 in four places, but it suffices if this slit 35 has the discontinuous part(s) in at least one part.

[0068] Further, the TFT panel of the above embodiment is one in which the TFT is made the reverse stagger structure. However, the invention is one capable of being applied also to a TFT panel in which the TFT is made the stagger structure, the coplanar structure, the reverse coplanar structure, and the like. Also in this case, it suffices if, among the lower layer line (the data line in the TFT panel in which the TFT is made the stagger structure or the coplanar structure, and the address line in the TFT panel in which the TFT is made the reverse coplanar structure) wired on the substrate and the upper layer line (the address line in the TFT panel in which the TFT is made the stagger structure or the coplanar structure, and the data line in the TFT panel in which the TFT is made the reverse coplanar structure) wired on the insulation film formed on the substrate, at least the terminal part, of the upper layer line,

formed thickly in some extent is divided into the plural regions continued locally mutually.

[0069]

[Advantage of the Invention] Since the TFT panel of the invention is one in which, among its lower layer line and upper layer line, at least the terminal part of the upper layer line is divided into the plural regions continued locally mutually, even if the formation of the protection insulation film is performed by the heated film formation capable of obtaining the excellent film quality, no protrusion is generated in the terminal part of the upper layer line when forming the protection insulation film and, therefore, it is possible to prevent the defect from being generated in the protection insulation film by the protrusion and thus to prevent the pitting corrosion from occurring in the terminal part of the upper layer line.

[Brief Description of the Drawings]

[Fig.1] A plan view of a data line terminal part of a TFT panel showing a 1st embodiment of the invention.

[Fig.2] A sectional view along a II - II line in Fig.1.

[Fig.3] A sectional view along a III - III line in Fig.1.

[Fig.4] A plan view of an address line terminal part of the TFT panel.

[Fig.5] A sectional view along a V - V line in Fig.4.

[Fig.6] A sectional view along a VI - VI line in Fig.4.

[Fig.7] A diagram showing a relation between a heating temperature and a generated protrusion number when a line width of a metal film has been made 50 μm and its film thickness has been made 350 nm

[Fig.8] A diagram showing a relation between the film thickness of the metal film and the generated protrusion number when the heating temperature has been made 250 °C and the line width of the metal film has been made 50 μm .

[Fig.9] A diagram showing a relation between the line width of the metal film and the generated protrusion number when the heating temperature has been made 250 °C and the film thickness of the metal film has been made 350 nm.

[Fig.10] A plan view of a data line terminal part of a TFT panel showing a 2nd embodiment of the invention.

[Fig.11] A sectional view along an XI - XI line in Fig.10.

[Fig.13] An equivalent circuit-like plan view of a conventional TFT panel.

[Fig.14] A plan view of a data line terminal part in the conventional TFT panel.

[Fig.15] A sectional view along a XV - XV line in Fig.14.

[Description of Reference Numerals and Signs]

1...substrate

12...gate insulation film

23...interlayer insulation film

24...protection insulation film

24a, 24b...opening

31...address line

a...anodic oxide film

31A...terminal part

31a...lower layer terminal film

31b...upper layer terminal film

32...data line

32a...terminal part

33, 34, 35...slit

36...discontinuous part

A1, A2, B1, B2, C1, C2...divided region

FIG.1

- 12 GATE INSULATION FILM
- 32a TERMINAL PART
- 33 SLIT
- 24a OPENING
- 32 DATA LINE
- 24 PROTECTION INSULATION FILM
- 23 INTERLAYER INSULATION FILM

FIG.7

- 1: PROTRUSION NUMBER (pieces/cm)
- 2: HEATING TEMPERATURE (°C)
- 3: RELATION BETWEEN HEATING TEMPERATURE AND PROTRUSION NUMBER
(LINE WIDTH 50 μm , FILM THICKNESS 350 nm)

FIG.8

- 1: PROTRUSION NUMBER (pieces/cm)
- 2: FILM THICKNESS (nm)
- 3: RELATION BETWEEN FILM THICKNESS AND PROTRUSION NUMBER
(250°C HEATING, LINE WIDTH 50 μm)

FIG.9

- 1: PROTRUSION NUMBER (pieces/cm)
- 2: LINE WIDTH (μm)
- 3: RELATION BETWEEN LINE WIDTH AND PROTRUSION NUMBER

(250°C HEATING, FILM THICKNESS 350 nm)

[Amendment]

[Submission Date] March 25, 1994

[Amendment 1]

[Amendment Object Document Name] Specification

[Amendment Object Item Name] Brief Description of the Drawings

[Amendment Method] Change

[Amendment Content]

[Brief Description of the Drawings]

[Fig.1] A plan view of a data line terminal part of a TFT panel showing a 1st embodiment of the invention.

[Fig.2] A sectional view along a II - II line in Fig.1.

[Fig.3] A sectional view along a III - III line in Fig.1.

[Fig.4] A plan view of an address line terminal part of the TFT panel.

[Fig.5] A sectional view along a V - V line in Fig.4.

[Fig.6] A sectional view along a VI - VI line in Fig.4.

[Fig.7] A diagram showing a relation between a heating temperature and a generated protrusion number when a line width of a metal film has been made 50 μm and its film thickness has been made 350 nm

[Fig.8] A diagram showing a relation between the film thickness of the metal film and the generated protrusion number when the heating temperature has been made 250 °C and the line width of the metal film has been made 50 μm .

[Fig.9] A diagram showing a relation between the line width

of the metal film and the generated protrusion number when the heating temperature has been made 250 °C and the film thickness of the metal film has been made 350 nm.

[Fig.10] A plan view of a data line terminal part of a TFT panel showing a 2nd embodiment of the invention.

[Fig.11] A sectional view along an XI - XI line in Fig.10.

[Fig.12] An equivalent circuit-like plan view of a conventional TFT panel.

[Fig.13] A sectional view of one TFT portion of the conventional TFT panel.

[Fig.14] A plan view of a data line terminal part in the conventional TFT panel.

[Fig.15] A sectional view along a XV - XV line in Fig.14.

[Description of Reference Numerals and Signs]

1...substrate

12...gate insulation film

23...interlayer insulation film

24...protection insulation film

24a, 24b...opening

31...address line

a...anodic oxide film

31A...terminal part

31a...lower layer terminal film

31b...upper layer terminal film

32...data line

32a...terminal part

33, 34, 35...slit

36...discontinuous part

A1, A2, B1, B2, C1, C2...divided region